

Country: **JP** Japan

Kind:

Inventor(s): **RAHAMIM RAPHAEL**
FOLWELL DALE E

Applicant(s): **ROCKWELL INTERNATL CORP**

News, Profiles, Stocks and More about this company

Issued/Filed Dates: **April 8, 1994 / June 2, 1993**

Application Number: **JP1993000132043**

IPC Class: **H04M 11/00;**

Priority Number(s):

June 9, 1992 **US1992000895968**

Abstract: Purpose: To provide isolation in a digital interface, after a conversion from an analog incoming signal and before a conversion into an output analog signal by excluding a large-sized isolation transformer.
Constitution: A comparatively large and heavy isolation transformer is eliminated from a data access device 17 in a modem with digital isolation, and two small pulse transformers 25, 27 are used in place of the isolation transformer between an analog device 11' and a digital signal processor 13', having a multiplexer and a demultiplexer and being integrated. Then analog distortions and a large number of lead wires are eliminated, so as to apply the modem to a lap-top/palm-top computer, and on the other hand, a data speed is increased the modem is protected in both the non-common and the common modes through the combination of surge protection with the modem.

COPYRIGHT: (C)1994, JPO

Family: Show 16 known family members

Other Abstract Info: DERABS G94-009215

Foreign References:

(No patents reference this one)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-98038

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵
H 04 M 11/00

識別記号
303

庁内整理番号
8627-5K

F I

技術表示箇所

審査請求 未請求 請求項の数17(全 8 頁)

(21)出願番号 特願平5-132043

(22)出願日 平成5年(1993)6月2日

(31)優先権主張番号 895968

(32)優先日 1992年6月9日

(33)優先権主張国 米国(US)

(71)出願人 590002448

ロックウェル・インターナショナル・コーポレイション

ROCKWELL INTERNATIONAL CORPORATION

アメリカ合衆国、90740-8250 カリフォルニア州、シール・ビーチ、シールビーチ・ブルーバード、2201

(72)発明者 ラファエル・ラハミン

アメリカ合衆国、92667 カリフォルニア州、オレンジ、ノース・ビスタ・コート、2717

(74)代理人 弁理士 深見 久郎 (外3名)

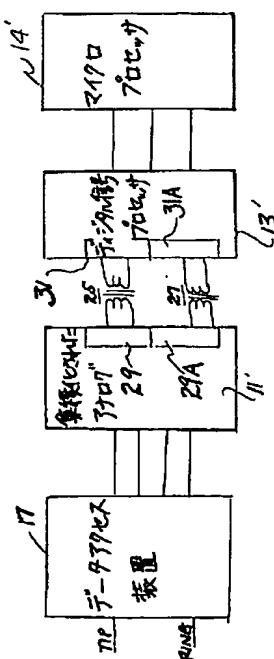
最終頁に続く

(54)【発明の名称】 従来の絶縁変圧器を含まないモデムおよびモデムからそのような変圧器を除去する方法

(57)【要約】

【目的】 大型絶縁変圧器を排除し、アナログ入来信号からの変換後、かつ出力アナログ信号への変換前に、デジタルインターフェースでのアイソレーションを提供する。

【構成】 デジタルアイソレーション付モデムは、データアクセス装置(17)から比較的大きく重い絶縁変圧器を除去し、マルチブレクサとデマルチブレクサとを備えた集積化されたアナログ装置(11')とデジタル信号プロセッサ(13')との間を、2の小さなパルスランス(25, 27)で置換えて、アナログの歪みと多数のリードを除去し、ラップトップ/パームトップコンピュータへの適用を可能にし、その一方でデータ速度を増す。サージ保護との組合せにより、これは非コモンモードとコモンモードの両方での保護を可能にする。



1

【特許請求の範囲】

【請求項1】 従来の絶縁変圧器を含まないモデムであつて、組合せにおいて、電話回線システムと通信するトランスなしのデータアクセス装置と、集積化されたアナログ装置と、デジタル信号プロセッサと、マイクロプロセッサとを含み、集積化されたアナログ装置はデータアクセス装置に接続され、かつマイクロプロセッサはデジタル信号プロセッサに接続されており、さらに、集積化されたアナログ装置とデジタル信号プロセッサとの間に接続されたパルストラ ns 手段を含む、モデム。

【請求項2】 前記集積化されたアナログ装置およびに前記デジタル信号プロセッサの各々が、デジタル信号だけが前記パルストラ ns に印加されることを保証するためのマルチプレクサおよびデマルチプレクサを備え、それによりアナログの歪みを除去する、請求項1に記載のモデム。

【請求項3】 前記パルストラ ns の各々が、1対の間隔を開けた穴と各々の穴を取り囲むいくつかのエッチングされた金属のターンとを有するプリント回路基板部分と、各々の端部に、基板の両側でそれぞれ間隔をあけられた穴にかかる配置された脚を有し、その脚がそれぞれ穴に当接してコイルのための磁気ギャップ経路を提供する、1対のU字形バーとを含む、請求項1に記載のモデム。

【請求項4】 電話回線システムへの結合のための第1の部分と、受信した信号をアナログからデジタルに変え、かつ送信された信号をデジタルからアナログに変える第2の部分と、デジタル信号を処理する第3の部分と、第4のマイクロプロセッサ部分とを有するモデムから、従来のトランスを除去する方法であつて、デジタルの受信されたおよび送信された信号のために、第2の部分と第3の部分との間にパルストラ ns を導入するステップと、少なくとも1つのパルストラ ns への印加のために第2の部分においてデジタルの形に変換された受信信号をマルチプレクスし、かつ前記デジタル信号を第3の部分においてデマルチプレクスするステップと、第3の部分のデジタル信号を送信のためマルチプレクスし、それらを少なくとも1つの異なるパルストラ ns に印加し、送信のためデジタル信号を第2の部分においてデマルチプレクスし、それにより従来のトランスの必要を、第1の部分から排除するステップとを含む方法。

【請求項5】 従来の絶縁変圧器を含まないモデムであつて、組合せにおいて、

2

電話回線システムと通信するトランスなしのデータアクセス装置と、集積化されたアナログ装置と、デジタル信号プロセッサと、マイクロプロセッサとを含み、集積化されたアナログ装置はデータアクセス装置に接続され、かつマイクロプロセッサは、デジタル信号プロセッサに接続され、前記モデムはさらに、10 集積化されたアナログ装置とデジタル信号プロセッサとの間で接続されたパルストラ ns 手段と、電話回線とモデムとの間の通信のためのT I PならびにR I N Gリードと、前記リードのうちの1つを開閉するように接続されたF E Tと、オフックモードにおいて、前記F E Tに動作電圧を供給するためのオン／オフック回路と、第1の回路および第2の回路と、ある状態において前記第1の回路を活性化し、かつ、他の状態において前記第2の回路を活性化するためのフリップーフロップ回路と、サージ電圧を検出すると、前記フリップーフロップ回路を前記ある状態に活性化するための、前記リードを介して接続された検出手段とを含み、前記第1の回路は、活性化されたときに前記F E Tの電流導通を妨げ、前記第2の回路は、予め定められた時間の後、フリップーフロップ回路をリセットする、モデム。

【請求項6】 従来の絶縁変圧器を除去しつつアナログの歪みを最小にする、モデムのデジタル部分においてアイソレーションを達成する方法であつて、電話回線システムからデジタルインタフェースへのアナログ信号のための経路を確立するステップと、アナログ信号をインタフェースのデジタル信号へと変えかつデジタル信号をモデムマイクロプロセッサへと通過させるステップと、マイクロプロセッサからデジタルインタフェースへのデジタル信号経路を確立するステップと、最後に述べられたデジタル信号をインタフェースを介して通過させるステップと、最後に述べられたデジタル信号をアナログ信号へと変え、かつそれを電話回線システムへと通過させるステップとを含む方法。

【請求項7】 電話回線システムに接続されたモデムにおいてアナログの歪みを最小にする方法であつて、従来の絶縁変圧器をD A A部分から排除するステップと、信号アイソレーションをアナログ信号アイソレーションからデジタル信号アイソレーションへと変えるステップとを含む方法。

【請求項8】 前記信号アイソレーションが、磁気および光学のアイソレーションのうちの1つを使用することにより達成される、請求項7に記載の方法。

【請求項9】 集積化されたアナログ部分とデジタル信号プロセッサ部分との間で前記アイソレーションを達成する、請求項8に記載の方法。

【請求項10】 電話回線に入来するアナログ信号を、アイソレーションに先立ってデジタルデータの第1の直列ストリームへと変換し、かつ出力デジタル信号を、アイソレーションに先立ってデジタルデータの第2の直列ストリームへと変換する、請求項9に記載の方法。

【請求項11】 データの各ストリームのために少なくとも1つのパルストラ ns を使用することにより、前記アイソレーションを提供する、請求項10に記載の方法。

【請求項12】 従来の絶縁変圧器を排除しかつアナログの歪みを最小にする、モデムのデジタル部分においてサージ保護およびアイソレーションを達成する方法であって、

電話回線システムからデジタルインターフェースへのアナログ信号のための経路を確立するステップと、インターフェースでアナログ信号をデジタル信号へと変え、かつデジタル信号をモデムマイクロプロセッサへと通過させるステップと、

マイクロプロセッサからデジタルインターフェースへのデジタル信号経路を確立するステップと、

インターフェースを介して最後に述べられたデジタル信号を通過させるステップと、

最後に述べられたデジタル信号をアナログ信号へと変え、かつそれを電話回線システムへと通過させるステップと、

入来電話回線のうちの1つにおいて、前記回線の開閉のためにFETを配列するステップと、

サージ電圧を検出するステップと、

前記サージ電圧が検出されたとき、前記FETが電流を導通することを防ぐステップと、

サージが通過してしまうまで前記防止を続け、それによって通常の、および非通常の問題を除去するステップとを含む、方法。

【請求項13】 電話回線システムに接続されたモデムにおけるサージ保護およびアナログの歪みを最小化する方法であって、

従来の絶縁変圧器をDAA部分から排除するステップと、

信号アイソレーションを、アナログ信号アイソレーションからデジタル信号アイソレーションへと変えるステップと、

入来電話回線のうちの1つにおいて、前記回線の開閉のため、FETを配列するステップと、

サージ電圧を検出するステップと、

前記サージ電圧が検出されると、前記FETが電流を導通するのを防ぐステップと、

サージが通過してしまうまで前記防止を続け、それによって通常のおよび非通常の問題を除去するステップとを含む、方法。

【請求項14】 前記信号アイソレーションは、磁気および光学のアイソレーションのうちの1つを使用することにより達成される、請求項13に記載の方法。

【請求項15】 集積化されたアナログ部分とデジタル信号プロセッサ部分との間で前記アイソレーションを達成する、請求項14に記載の方法。

【請求項16】 電話回線の入來アナログ信号を、アイソレーションに先立って、デジタルデータの第1の直列ストリームへと変換し、かつ出力デジタル信号をアイソレーションに先立って、デジタルデータの第2の直列ストリームへと変換する、請求項16に記載の方法。

【請求項17】 データの各ストリームのために、少なくとも1つのパルストラ ns を使用することにより、前記アイソレーションを提供する、請求項16に記載の方法。

【発明の詳細な説明】

【0001】

【発明の背景】 この出願は、同一の発明者による「アクティブサージ除去回路 (ACTIVE SURGEREJECTION CIRCUIT)」と標題を付けられ、共通の譲受人に譲渡された、同時出願の米国特許出願に関する。

【0002】

【発明の分野】 この発明は、モデムに関し、より特定的には、アナログの歪みを回避するために、アナログ信号領域からデジタル信号領域へとアイソレーションを変える一方で、比較的大型の絶縁変圧器をモデムから除き、かつ絶縁変圧器を除去する。

【0003】

【先行技術】 先行技術の1つの問題は、電話回線とモデムとの間でインターフェースするデータアクセス装置 (DAA) が、新しい「クレジットカード状の」最小サイズのモデムカードには大きすぎかつ重すぎるという事実である。

【0004】 データ速度が増すにつれて、モデムのサイズは縮小しつつある。モデムは、すべてのラップトップ/パームトップコンピュータにとって不可欠な部分となってきた。これらのコンピュータは小型であるため、大きさと重量が重んじられる。データ速度が増してきているので、歪みを最小限に抑えることが絶対に必要である。歪みは、高速モデムを制限する要素の1つである。

【0005】 今日市場で入手可能な多くのモデムは、DAA部分において絶縁変圧器を利用する。変圧器は電子

回路を保護するが、それはまた、歪みを導入し、回路面積を消費し、かつモデム部分の最も重い部分である。ポータブルコンピュータの場合、重量を最小にすることは優先度の高い条件である。

【0006】トランスおよびそれに伴う歪みを排除することによって、モデムのデータ速度能力の向上が実現される。サイズ、重量およびコストもまた、目ざましく減じられる。

【0007】モデムの性能の向上とサイズの縮小において、目ざましい進歩がとげられてきているにもかかわらず、DAAのインターフェース回路には、比較的に変化がないままである。実際、ラップトップコンピュータの設計の中には、モデムの回路の中でDAAがそれ以外の残りの部分とほぼ同じくらいの場所をとっているものもある。

【0008】今まででは、設計者たちは部品をより密着させて詰込むことにより、実装の制限範囲内に留まることができてきた。しかしながら、設計者たちは今やU.L.およびパート6.8の高電圧絶縁破壊テストを満たすにあたっての問題を経験しているため、急速に限界に達しつつある。加えて、DAA構成要素の物理的サイズが、新型のポケットコンピュータにモデムを設置することを妨げている。

【0009】DAAの中で最も大きい構成要素の1つは、変圧器である。機能的には、変圧器は設計上の2つの要求を満たすものである。

【0010】第1に、それは電話回路網とユーザーとの間で必要な高電圧アイソレーションを提供する。米国では、FCCパート6.8によりこれが特定されており、これは1500ボルトを必要とする。他の国々では、このアイソレーションは3750ボルトにまで上るかもしれない。

【0011】第2に、それは通信ライン上に通常存在するノイズ信号の良好なコモンモード除去を提供とともに、パート6.8と適合するのに必要なバランスインターフェース回路を提供する。

【0012】これらの要求を両方とも支持し、かつ非常に低い歪みレベルをなお維持すると、結果として変圧器は比較的大型になる。たとえば、v3.2のような、新しい高性能モデムは、-70dBmまたはそれ以下の歪みレベルを必要とする。これらのレベルに達するには、特殊な磁気物質および大きな物理的サイズが必要である。

【0013】これらの問題に基づけば、アナログ絶縁変圧器の代替物が必要であることが明らかである。

【0014】アナログ回路の経路では、アイソレーション回路を付け加えようとするなら、常に歪みを追加するという問題があることを、実験は示している。

【0015】

【発明の概要】この発明は、大型絶縁変圧器を排除し、アナログ入来信号からの変換後、かつ出力アナログ信号

への変換前に、ディジタルインターフェースでのアイソレーションを提供する。この点では、アナログの歪みとの関わりがよりずっと少ないアイソレーションを提供することが可能である。新しいアイソレーションは、好ましくは、2つの小型パルストランジストの形で、磁気によるものである。光学系のような他のディジタルアイソレーション方法もまた、新しくかつ適用可能である。

【0016】ロックウェルのモデムアーキテクチャは、アイソレーション回路を取り入れる理想的な構成を提供する。これはディジタル信号プロセッサ(DSP)またはCSPXと集積化されたアナログ(IA)装置との間ににおいてである。機能上、このインターフェースでの信号はディジタルで、かつデータ速度は中位である。現在、CSPXとIAとの間のインターフェースは、約15の個別のラインから構成され、それらのラインはデータ、タイミングおよび制御を含む。

【0017】これらの並列信号は、結合されて2つの直列データストリーム、すなわち1つの入力および1つの出力になる。このデータは時分割多重の、自己クロッキング機構においてコード化される。すべての直列的なコード化およびデコードは、CSPXおよびIA装置の中に組込まれている。

【0018】水上/陸上電話システムのために、モデムは、金属性電圧サーボテストに合格しなければならない。このテストは、モデムのTIPとRINGとの間に800ボルトのパルスを与えるというものである。モデムがオンフック状態にあるときは、起動リレーはオフ(開)であり、したがってサーボが電子回路の中に入ることは妨げられるので、問題はない。この800ボルトのサーボはモデムがオフフック状態の間にもまた与えられるが、このときラインスイッチは閉じており、800ボルトのサーボはこの電子回路に取返しのつかない損傷を与える可能性がある。

【0019】上述の発明が、DAAにおいてハイレベルの、速やかに上昇するサーボの出現を感じる検出器回路と結合されるなら、相乗的な結果が得られる。この回路は、サーボが損害を与える大きさに達し得る前に、電子回路を回線から解き離す。このアクティブ除去回路は、サーボ保護装置として機能し、金属酸化物バリスタ(MOV)および絶縁変圧器にとって代わり、かつ従来のリレーと置換えられる回線起動スイッチを提供する。構成要素総数は、変圧器、MOVおよびリレーを除去することにより減らされる。

【0020】

【好ましい実施例の説明】現在、ロックウェルのモデムは、データアクセス装置(DAA)9、集積化されたアナログ(IA)装置11(図1)およびディジタル信号プロセッサ13(DSP)を含む。DAA9は、ワイヤ10によりIA11に接続され、IA11およびDSP13は、15の個別のワイヤ15により接続され、マイ

クロプロセッサ14は、いくつかのワイヤ16によりDSP13に接続される。すべてのデータアクセス装置(DAA)9および17(図2)は、電話回線19、21とモデムとの間で高電圧アイソレーションを必要とする。通常は、変圧器21(DAA部分9においてのが、このアイソレーションを提供する。

【0021】図3、7、および8は相互参照された発明の詳細を示しており、これはDAA部分においてサージの検出に際して電話回線システムからリードを開くためにFETを用い、図2、図5(A)および図5(B)において最もよく見られるこの発明との相乗的な組合せを提供する。

【0022】図2では、絶縁変圧器21は排除されており、その代わりとしてIA装置11' とDSP13'との間に小型のパルストラ ns 25、27が使用されている。受信された集積化されたアナログ信号は、デジタル化され、ボックス29内でマルチプレクスされ、ボックス31内でデマルチプレクスされるが、それに対して送信された信号は、ボックス31A内でマルチプレクスされ、ボックス29A内でデマルチプレクスされる。したがって15本のワイヤ配線とすべてのアナログの歪みとは避けられる。

【0023】したがって、これらのリード線(15)上の並列の信号は、1つは入力、1つは出力という2つの直列のデータの流れとして組合せられることが見てとれるだろう。このデータは、時分割多重の自己クロック装置においてコード化される。すべての直列のコード化とデコードとは、集積化されたアナログおよびデジタル信号処理装置11' および13'に組込まれるので、アイソレーション回路は2つのパルストラ ns 25および27、または2つの光結合器(図示せず)のみから構成できるだろう。

【0024】また、パルス化された信号は、電力を節約する。必要なのは、全波39(図4(A))を送るのではなく、ただ元の波39の上下の遷移を表わす短いスペイク35、37(図4(B))を送ることだけである。コモンモード除去は、高電圧アイソレーションと同じく、パルストラ ns によって達成される。

【0025】図5(A)および7は、たとえば厚さ0.062インチの、従来のガラス製プリント回路基板41の上のパルストラ ns 25および27の構造を示している。基板中央のホール36および38はU状のバー40、46の脚42、43および44、45を受け、それらが当接するところで「ギャップ」を形成する。それぞれの脚を囲むコイル37および39は、基板41上に置かれ、コイルを残すためにエッチ除去された金属の巻きをいくつか含むのみであって、そのコイルの直径は約1/8インチである。U状のバーは、長さにして約1/2インチである。もう1つのパルストラ ns 27は、トランス25と現実的に可能な限り間隔をあけておかれ、そ

の構成要素は同じであり、同じ参照番号に'を付けて示している。磁気経路のためには、フェライトのような、最も良い磁性材料が使われ、寸法が小さいので最小のスペースにも容易に適合する。

【0026】動作周波数は、メガサイクルの範囲内にあり、また電力のロスは極端に少ない。なぜなら、パルス技術が必要とする電力は、波全体を扱うのに必要な電力よりもずっと少ないのである。パルス技術は、コモンモードの歪みの問題にも対処する。

【0027】デジタルインターフェースにおいて好ましいパルストラ ns の代わりに、他のタイプのアイソレーションを用いてもよい。2つの光結合器もまた、1つが入力、1つが出力という2つの直列のデータストリームに対して効果的である。しかしパルストラ ns によるアイソレーションの方が、電力が少なくて済む。

【0028】たとえば落雷によるサージのような、すなわち地上の電話システムにおける、非コモンモードについては、図3および図7のブロック図が、図2のDAA装置17で使用するためのサージ除去回路を示している。図3では、TIPライン51はこのラインを開くためのFET52(あるいは動作の早いトランジスタ)を含んでいる。TIPリード51とRINGリード54との間の検出器53は、サージを感じし、FET52を非常に迅速に開く。

【0029】図6は、たとえば電話回線58および59に結合された57のような、モデムのための先行技術の型のサージ保護を示す。従来の絶縁変圧器60が、電話回線58および59とモデム57との間に接続されて示されている。MOV61(金属酸化物バリスチ)がサージ吸収装置として作用するよう複数の回線にかかるように接続されて示されている。RING検出器62は、リングが現われたことをモデム57に示すために設けられており、DSP13は、IA11を介して回線起動リレー63を動作させる。

【0030】図7は、絶縁変圧器60のない、この発明の好ましいサージ保護回路を示す。サージ除去および回線起動スイッチ65についての詳細は、図8で後述される。

【0031】図8では、101においてオンフックおよびオフフックのリードが示され、これはオフフックのとき+5ボルトを供給し、またモデムがオンのときは、直流電力リード103で接地105に対して+5ボルトを受取る。FET107(BUZ78)は、予期しないサージのための信号回路内のTIPリードを開閉するのに使われる。

【0032】TIPリード109とRINGリード111にかかる、直列抵抗器112を含む並列リード111中のコンデンサ110は、0.33μf、250ボルトのコンデンサであり、また抵抗器112は、10,000オームである。この対はRING信号のためのダミー

負荷を含む。

【0033】次に、全波ブリッジ整流器は4つの1N4006ダイオード115、117、119および121を含んでFET107のドレイン123上の正の電圧を保障し、このときソース125はリード127を介して105において接地されている。

【0034】図8の回路は様々な状況下で保護を提供しなければならない。1) モデムの電力が103でオフである時。

【0035】このとき、FET107 (Q4) は、すでにオフ状態である。オフ状態の間、FETは高電圧が通過するのをブロックする。速やかに上昇するサージが達すると、それはFET107の内部キャパシタンスを介してFETゲート129を充電しようとする。普通、これはFETをオンにする。しかしながら、ダイオード (1N1148) D12は、5ボルト電源を介してゲート129を接地105にクランプすることにより、FET107をオフに保ち、したがってゲート129上でいかなる電荷の結集をも防ぐ。

【0036】2) モデムの電力が103でオンであり、かつ101でオンフックである時。この場合には、FET107がまだオフであり、DC電流がそれを介して流れないとする意味で前述のものに似ている。リード101を通過するオンフック信号がゲート129を接地レベル105に保つので、FETはオフである。このとき、JKフリップーフロップ133 (U2) (74HC112) はリード103から電力供給を受け、FET107をオフに保つを助けることができる。

【0037】サージが達すると、それは135 (100 pF) に見られるように、C4を介して通過し、JKフリップーフロップ133に対してクロックとなる。161で示される抵抗器R6は、47, 000オームを有し、かつ162で示される抵抗器R4は、10, 000オームを有する。この5:1の割合は、リード137を介してJKフリップーフロップ133をクロックするのに必要とされるサージ電圧の程度を決定し、所望ならばそれは調整可能にることができる。結果としてJK133のQ出力が上昇し、リード138および127、ならびに131上でQ2 140 (2H1222) をオンにする。Q2 140は、Q4 140のゲート129を、接地レベルにクランプされた状態に保ち、それはFET107をオフ状態に保つ結果となる。

【0038】3) モデムの電力が103でオンであり、かつ101でオフフックである時。ほぼこのときには、FET107は回線電流を導通している。なぜならそのゲートが、5ボルトをリード101から受取るからである。サージは、再び、C4 135を通過し、かつJK133をクロックする。JKのQ出力は、上昇し、Q2 140をオンにする。Q2 140は、電圧が高くなる前にできるだけ早くFET107をオフにする。

【0039】4) モデムの電力が103でオンであり、101でオフフックであり、しかし電流はTIPおよびRINGを介して流れない時。

【0040】このとき、回路は、最後の例と同じように動く。この状態は、モデルを普通に使っている間は起こりそうではないが、FCC研究所はTIPおよびRING電流なしでモデルの電力をオンにするテストを行なっている。

【0041】上の活動を支持して、Q12 142 (2N4403) は、JKフリップーフロップ133がクロックされたときはいつでも、オンとなり、Q14 144 (MJD47) を非常に速やかにオンにする。この動作は、浮遊キャパシタンスおよびFET107のキャパシタンスを放電し、電圧が高くなるのを防ぐ。

【0042】R10 145 (47K) およびC6 147 (.01μf) は、JKフリップーフロップ133のQ出力を高レベルに保持し、約1m秒の間FET107をオフに保つ。この方法で、FET107はサージの予期される持続期間よりも長い期間オフにされる。(1MS) を越えてサージが持続する場合、R7 & R5 C5の組合せは、JKをクロックされた状態に保つように設計され、これはQ4 107をオフに保つ。

【0043】ACの目的のために、接地105は+5ボルトリードに接続され、このためTIP-RINGにかかる高電位のスパイクまたはサージが、パルスの負側を電子的電子的インダクタボックス150内の何らかの、またはいくつかの経路を介して接地105およびリード103まで通過させるということに注目すべきである。したがって、パルスは5:1の分圧器、R4 162、R6 161を横切る。

【0044】またFET107がオンからオフになるときには、まだそれを介して通されるいくらかのエネルギーがあり、電圧は、Q14 144を横切って上昇する。クロックの後、トランジスタQ12 142は、Qバーによりしっかりとオンになって、Qが上昇し、次にQ14 144は、しっかりとオンになり、エネルギーを吸収する。

【0045】サージ保護回路は、いかなる回路またはモデル内でも動作して、たとえば商業製品(消費材)を非コモンモードのサージから保護する。このように、デジタルパルス変圧器およびサージ保護回路と、トランスなしのDAAとの結合は、非コモンモードおよびコモンモードの問題を両方とも排除する。このデジタルアイソレーションの発明は、ほとんど全部のモデルに適用できる。

【図面の簡単な説明】

【図1】先行技術のモデルのブロック図である。

【図2】この発明のブロック図である。

【図3】サージ検出器およびラインFETを示す図である。

11

【図4】波形を示す図であって、(A)は典型的な方形波を示す図であり、(B)は電力節約のために微分された波を示す図である。

【図5】パルストラnsを示す図であって、(A)はパルストラnsのためのコイルを示す図であり、(B)はパルストラnsの断面図である。

【図6】絶縁変圧器がある場合のサージ保護回路の先行技術を示す図である。

【図7】絶縁変圧器なしのサージ保護回路を示す図である。

12

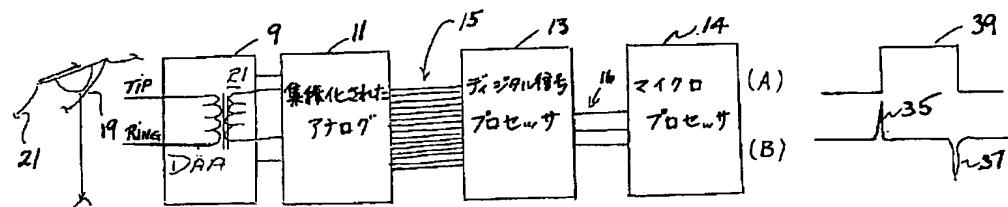
【図8】サージ保護付で、トランスなしのDAAの回路図である。

【符号の説明】

- 1 1' 集積化されたアノログ装置
- 1 3' デジタル信号プロセッサ
- 1 4' マイクロプロセッサ
- 1 7 データアクセス装置
- 2 5 パルストラns
- 2 7 パルストラns

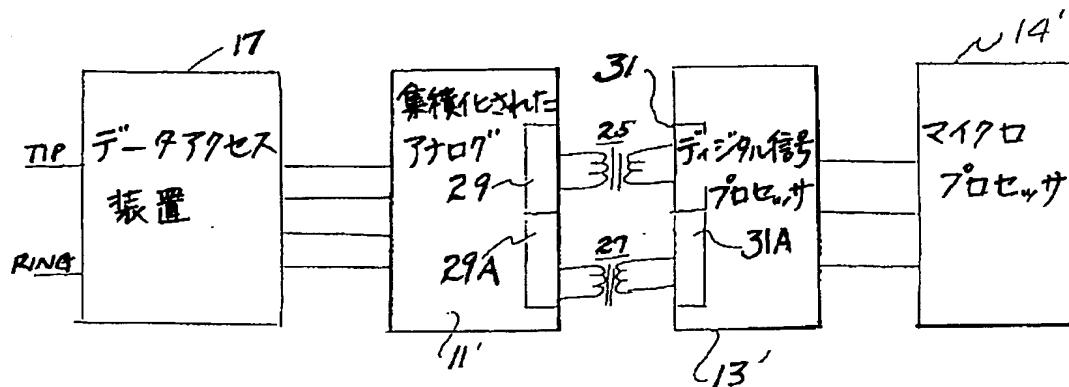
10

【図1】

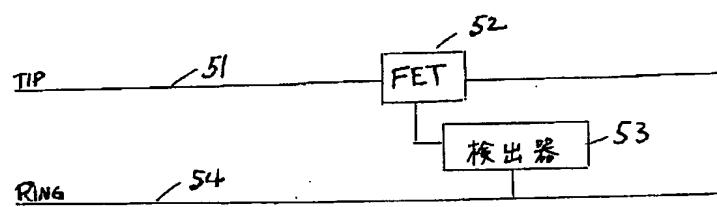


【図4】

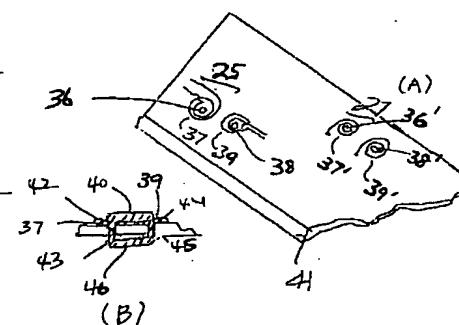
【図2】



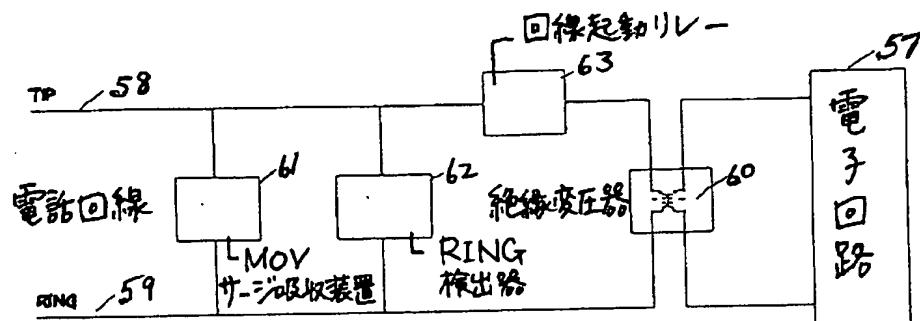
【図3】



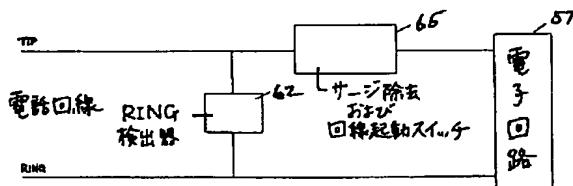
【図5】



【図6】



【図7】



【図8】

